



REPUBLIK INDONESIA
KEMENTERIAN HUKUM DAN HAK ASASI MANUSIA

SERTIFIKAT PATEN SEDERHANA

Menteri Hukum dan Hak Asasi Manusia atas nama Negara Republik Indonesia berdasarkan Undang-Undang Nomor 13 Tahun 2016 tentang Paten, memberikan hak atas Paten Sederhana kepada:

Nama dan Alamat Pemegang Paten : LPPM UNY
Jl. Colombo No 1 Karangmalang Depok,
Sleman

Untuk Invensi dengan Judul : RANGKAIAN ELEKTRONIKA PENGATUR DAN
PENYEIMBANG TEGANGAN SELAMA PROSES PENGISIAN
DAN PENGOSONGAN ENERGI LISTRIK DC PADA
HUBUNGAN BEBERAPA ULTRAKAPASITOR

Inventor : Rustam Asnawi, M.T., Ph.D
Andik Asmara, M.Pd.
Dr. Eng. Didik Nurhadiyanto, ST.,MT

Tanggal Penerimaan : 25 Juni 2019

Nomor Paten : IDS000004248

Tanggal Pemberian : 16 September 2021

Perlindungan Paten Sederhana untuk invensi tersebut diberikan untuk selama 10 tahun terhitung sejak Tanggal Penerimaan (Pasal 23 Undang-Undang Nomor 13 Tahun 2016 tentang Paten).

Sertifikat Paten Sederhana ini dilampiri dengan deskripsi, klaim, abstrak dan gambar (jika ada) dari invensi yang tidak terpisahkan dari sertifikat ini.



a.n. Menteri Hukum Dan Hak Asasi Manusia
Direktur Jenderal Kekayaan Intelektual
u.b.

Direktur Paten, Desain Tata Letak
Sirkuit Terpadu dan Rahasia Dagang


Dra. Dede Mia Yusanti, MLS.
NIP. 196407051992032001

KEMENTERIAN HUKUM DAN HAK ASASI MANUSIA RI
DIREKTORAT JENDERAL KEKAYAAN INTELEKTUAL
DIREKTORAT PATEN, DESAIN TATA LETAK SIRKUIT TERPADU DAN RAHASIA DAGANG

Jln. H.R. Rasuna Said, Kav. 8-9 Kuningan Jakarta Selatan 12940
 Phone/Facs. (6221) 57905611; Website: www.dgip.go.id

PEMBAYARAN BIAYA TAHUNAN (UMKM)

Berdasarkan Peraturan Pemerintah Nomor 28 tahun 2019 tentang Jenis dan Tarif Atas Jenis Penerimaan Negara Bukan Pajak Yang Berlaku Pada Kementerian Hukum dan Hak Asasi Manusia, biaya tahunan yang harus dibayarkan adalah sebagaimana dalam tabel di bawah.

Nomor Paten : IDS000004248 Tanggal diberi : 16/09/2021 Jumlah Klaim : 3
 Nomor Permohonan : SID201905299 IPAS Filing Date : 25/06/2019
 Entitlement Date : 25/06/2019

Perhitungan biaya tahunan yang sudah dibayarkan adalah :

Biaya Tahunan Ke	Periode Perlindungan	Batas Akhir Pembayaran	Tgl Pembayaran	Jumlah Pembayaran	Keterangan
No record available					

Perhitungan biaya tahunan yang belum dibayarkan adalah :

Biaya Tahunan Ke-	Periode Perlindungan	Batas Akhir Pembayaran	Biaya Dasar	Jml Klaim	Biaya Klaim	Total	Terlambat (Bulan)	Total Denda	Jumlah Pembayaran
1	25/06/2019-24/06/2020	15/03/2022	0	3	0	0	0	0	0
2	25/06/2020-24/06/2021	15/03/2022	0	3	0	0	0	0	0
3	25/06/2021-24/06/2022	15/03/2022	0	3	0	0	0	0	0
4	25/06/2022-24/06/2023	15/03/2022	0	3	0	0	0	0	0
5	25/06/2023-24/06/2024	26/05/2023	0	3	0	0	0	0	0
6	25/06/2024-24/06/2025	26/05/2024	1.650.000	3	150.000	1.800.000	0	0	1.800.000
7	25/06/2025-24/06/2026	26/05/2025	2.200.000	3	150.000	2.350.000	0	0	2.350.000
8	25/06/2026-24/06/2027	26/05/2026	2.750.000	3	150.000	2.900.000	0	0	2.900.000
9	25/06/2027-24/06/2028	26/05/2027	3.300.000	3	150.000	3.450.000	0	0	3.450.000
10	25/06/2028-24/06/2029	26/05/2028	3.850.000	3	150.000	4.000.000	0	0	4.000.000

Biaya yang belum dibayarkan hingga tanggal 09-12-2021(tahun ke- 4) adalah sebesar Rp. 0

- Pembayaran biaya tahunan untuk pertama kali wajib dilakukan paling lambat 6 (enam) bulan terhitung sejak tanggal diberi paten
- Pembayaran biaya tahunan untuk pertama kali meliputi biaya tahunan untuk tahun pertama sejak tanggal penerimaan sampai dengan tahun diberi Paten ditambah biaya tahunan satu tahun berikutnya.
- Pembayaran biaya tahunan selanjutnya dilakukan paling lambat 1 (satu) bulan sebelum tanggal yang sama dengan Tanggal Penerimaan pada periode perlindungan tahun berikutnya.
- Permohonan penundaan pembayaran biaya tahunan akan diterima apabila diajukan paling lama 7 hari kerja sebelum tanggal jatuh tempo pembayaran biaya tahunan berikutnya, dan bukan merupakan pembayaran biaya tahunan pertama kali.
- Dalam hal biaya tahunan belum dibayarkan sampai dengan jangka waktu yang ditentukan, Paten dinyatakan dihapus



(12) PATEN INDONESIA

(11) IDS000004248 B

(19) DIREKTORAT JENDERAL
KEKAYAAN INTELEKTUAL

(45) 16 September 2021

(51) Klasifikasi IPC ⁸ : H 01G 11/00	(71) Nama dan Alamat yang Mengajukan Permohonan Paten : LPPM UNY Jl. Colombo No 1 Karangmalang Depok, Sleman
(21) No. Permohonan Paten : SID201905299	(72) Nama Inventor : Rustam Asnawi, M.T., Ph.D, ID Andik Asmara, M.Pd. , ID Dr. Eng. Didik Nurhadiyanto, ST.,MT, ID
(22) Tanggal Penerimaan: 25 Juni 2019	(74) Nama dan Alamat Konsultan Paten : Pemeriksa Paten : Ir. Every Nanda, M.Si.
(30) Data Prioritas : (31) Nomor (32) Tanggal (33) Negara	Jumlah Klaim : 3
(43) Tanggal Pengumuman: 31 Januari 2020	
(56) Dokumen Perbandingan: US10461559B2 CN102684267A US6777917 B2	

(54) Judul Invensi : RANGKAIAN ELEKTRONIKA PENGATUR DAN PENYEIMBANG TEGANGAN SELAMA PROSES PENGISIAN DAN PENGOSONGAN ENERGI LISTRIK DC PADA HUBUNGAN BEBERAPA ULTRAKAPASITOR

(57) Abstrak :

Kelemahan utama dari media penyimpan energi listrik jenis baterai adalah durasi proses charging lama, usia fisik terbatas dan kurang ramah lingkungan. Saat ini sedang dikembangkan media penyimpan energi listrik menggunakan (super)kapasitor. Proses charging kapasitor relatif lebih cepat dari baterai, tetapi proses dischargingnya juga sangat cepat. Kelebihan lainnya adalah tidak menggunakan proses kimia, perawatan lebih murah dan usia lebih tahan lama.

Beberapa superkapasitor jika akan digunakan untuk membangun sebuah media penyimpan energi listrik perlu dihubungkan seri untuk menghasilkan kemampuan menyimpan tegangan yang lebih besar. Kelemahan dari beberapa superkapasitor yang dihubungkan seri ini adalah pada saat proses pengisian atau pengosongan energi listrik, tegangan di setiap kapasitornya tidak sama (tidak seimbang). Hal ini bisa merusak komponen superkapasitor itu sendiri.

Invensi ini bertujuan untuk mempersembahkan sebuah rangkaian elektronik yang dapat mengatur dan menjaga tegangan di setiap superkapasitor dalam beberapa superkapasitor yang dihubungkan seri tetap sama. Metode ini dapat direalisasikan menggunakan dua buah komponen aktif yaitu 202 buah transistor BJT bertipe NPN dan 201 buah *Field Effect Transistor* (FET) bertipe kanal N yang dinamai dengan Rangkaian Balancer superkapasitor. Rangkaian balancer ini juga dapat sebagai pengamanan komponen superkapasitor yang dihubungkan seri untuk membangun sebuah media penyimpan energi listrik DC.



Deskripsi

RANGKAIAN ELEKTRONIKA PENGATUR DAN PENYEIMBANG TEGANGAN SELAMA PROSES PENGISIAN DAN PENGOSONGAN ENERGI LISTRIK DC PADA HUBUNGAN BEBERAPA ULTRAKAPASITOR

5

Bidang Teknik Invensi

Invensi ini berhubungan dengan sebuah rangkaian elektronika untuk mengatur dan menyeimbangkan tegangan listrik DC selama proses pengisian (*charging*) energi listrik pada hubungan seri beberapa superkapasitor, dimana dengan rangkaian elektronika ini dapat digunakan sebagai pengaman media penyimpan energi listrik berbasis superkapasitor.

Latar Belakang Invensi

Dewasa ini tren perkembangan media penyimpan energi listrik, kapasitor elektrokimia dan baterai lithium-ion yang paling populer untuk diteliti dan dikembangkan. Pada prinsipnya kapasitor mirip dengan baterai karena kapasitor digunakan untuk menyimpan dan melepas energi listrik. Tetapi prinsip kerja kapasitor sangat berbeda dengan baterai. Pengisian baterai menggunakan reaksi kimia dan limbahnya sangat merugikan manusia. Sedangkan kapasitor tidak semua proses *charging*-nya menggunakan reaksi kimia.

Namun demikian ketika digunakan, energi listrik yang tersimpan dalam kapasitor akan cepat habis dibandingkan dengan baterai. Namun apabila dilihat dari aspek umur, baterai ketika digunakan untuk menyimpan energi dengan proses *charge* dan *discharge* bisa sampai 2-3 tahun, tetapi kapasitor bisa sampai 20 tahun walaupun setelah 10 tahun pemakaian kemampuannya tinggal 80%. Kapasitor juga membutuhkan perawatan yang rendah dan memiliki ketahanan operasional. Penyimpanan energi dengan basis isi ulang pada baterai memiliki kekurangan seperti perkiraan sisa energi tidak tepat, membutuhkan perawatan berkala dan memiliki dampak negatif terhadap lingkungan karena berbahan dasar material kimia.

Superkapasitor atau ultra kapasitor berbeda dengan kapasitor karena superkapasitor bisa menyimpan energi yang lebih besar. Oleh



karena itu tegangannya juga lebih besar. Reaksi kimia dalam super kapasitor memerlukan waktu tetapi dalam pelepasan energi yang tersimpan dapat terjadi dalam waktu yang sangat cepat dan sangat besar.

5 Berawal dari sini kemudian dikembangkan dan dibuatlah media penyimpanan energi listrik berbasis superkapasitor. Media penyimpan energi listrik berbasis superkapasitor ini memungkinkan untuk menyimpan energi listrik DC yang dihasilkan dari berbagai sumber energi listrik seperti dari panel sel surya, generator kincir angin
10 atau generator turbin air. Jika dilihat lebih jauh sumber-sumber energi listrik DC tersebut rata-rata tegangan keluarannya adalah 12-16 volt. Oleh karena itu dalam perancangan media penyimpan energi listrik berbasis superkapasitor juga mempunyai kemampuan tegangan sekitar 12-16 volt.

15 Sementara itu komponen superkapasitor dengan kapasitas terbesar yang ada di pasaran saat ini adalah superkapasitor dengan spesifikasi 500 Farad/2.7V. Sehingga dimisalkan akan dikembangkan sebuah media penyimpan energi listrik yang berkemampuan sekitar 12-16 volt, maka diperlukan 6 buah superkapasitor 500F/2.7V (101)
20 yang dihubungkan secara serial (seperti dipaparkan dalam Gambar 1). Karena dihubung seri maka kapasitansi totalnya akan turun menjadi $= 500F/6 = 83,3F$ dan tegangan keluaran totalnya akan naik menjadi $= 2.7 \text{ Volt} * 6 = 16,2 \text{ volt}$.

Dari hasil penelitian yang telah dilakukan, hubungan seri
25 beberapa kapasitor ternyata ada permasalahan pada saat proses pengisian (charging) dan pengosongan (discharging). Permasalahan yang paling utama adalah tegangan di setiap superkapasitor selama waktu proses pengisian (dan pengosongan) energi listrik ternyata tidak sama atau tidak seimbang. Hal ini bila tidak diatasi maka
30 dapat menyebabkan kerusakan di komponen superkapasitor nya itu sendiri atau mengurangi umur superkapasitor.

Oleh karena itu untuk mengatasi permasalahan tersebut perlu dirancang bangun sebuah rangkaian elektronika yang dapat mengatur dan mengendalikan tegangan di setiap superkapasitor selama proses
35 charging dan discharging berlangsung, sehingga diperoleh tegangan



di semua superkapasitor yang terhubung seri itu sama besarnya dan seimbang (*balance*). Rangkaian elektronika ini disebut dengan rangkaian balancer superkapasitor. Balancer superkapasitor ini dipasang (paralel) di setiap komponen superkapasitor yang terhubung seri.

Selanjutnya sebagai pembandingan telah dilakukan penelusuran patent yang mirip atau sejenis dengan patent yang disulkan. Penelusuran paten yang sejenis dilakukan secara online menggunakan situs google patent dan situs <https://worldwide.espacenet.com/patent/search/>. Kata kunci yang digunakan "supercapacitor charging method" diperoleh hasil ada beberapa buah judul patent yang serupa. Pertama "*Charging control for Supercapacitor*" dengan nomor publikasi patent US10461559B2. Inventors: **Armstrong, Gene Lee** negara asal inventor dari Amerika Serikat. Dalam patent tersebut hal yang diklaim adalah: metode pengisian terdiri atas: menginisiasi dengan mengukur tegangan terminal superkapasitor, menginisiasi pengisian superkapasitor dengan memberikan tegangan pengisian yang konstan ke superkapasitor dan mengendalikan penghentian pengisian konstan pada superkapasitor. Dalam patent ini tidak secara eksplisit dan spesifik menjelaskan dan mengklaim suatu rangkaian elektronik yang bisa membuat tegangan pengisian di terminal superkapasitor itu konstan khususnya pada hubungan seri beberapa superkapasitor.

Kedua *Charging method and charging device for supercapacitor* dengan nomor publikasi paten CN102684267A. Inventornya Chen Leyin; Long Zhixin; Zheng Shihe negara asal inventor dari china. Klaim dalam paten tersebut adalah suatu metode pengisian untuk superkapasitor yang terdiri atas: (1) hubungkan superkapasitor dengan sumber energi, dan sumber energi tersebut menyediakan daya untuk superkapasitor, (2) Kumpulkan data tegangan dan suhu superkapasitor secara teratur, dan umpan balik data yang dikumpulkan ke unit kontrol. Unit kontrol menghitung status nilai muatan SOC dari superkapasitor sesuai dengan data yang diterima; (3) unit kontrol menghitung tegangan pengisian dan arus pengisian yang dibutuhkan oleh superkapasitor dan mengirimkan sinyal



modulasi spesifik ke modul modulasi lebar pulsa di unit kontrol; modul modulasi lebar pulsa akan menyesuaikan lebar pulsa pengisian ke ukuran yang diperlukan, dan mengisi superkapasitor melalui konverter di unit kontrol. Terlihat bahwa dalam patent ini tidak
5 secara eksplisit dan spesifik menjelaskan dan mengklaim suatu rangkaian elektronik yang bisa membuat tegangan pengisian di terminal superkapasitor itu konstan khususnya pada hubungan seri beberapa superkapasitor.

Ketiga *Supercapacitor Balancing Method and System* dengan nomor patent: US6777917 B2 tertanggal 17 Agustus 2004. Inventornya
10 Philippe Desprez dari Blanquefort (FR), Gérard Barrailh dari Gradignan (FR), Pascal Lavaur dari Bordeaux (FR), Stéphane Rael dari Nancy (FR), Fadi Sharif dari Maizieres (FR) dan Bernard Davat dari Nancy (FR). Klaim dalam paten tersebut adalah suatu metode
15 dan suatu sistem pengisian untuk paling sedikit satu superkapasitor yang mana dapat digunakan untuk *balancing* (penyeimbang) hubungan banyak superkapasitor. Salah satu metode pengisian menurut klaim, terdiri dari langkah pengisian sejumlah Superkapasitor, di mana fungsi pengoptimalan tersebut berubah dari
20 Status diaktifkan ke Status yang dinonaktifkan ketika setidaknya salah satu dari tegangan di terminal supercapacitors melebihi tegangan pertama yang telah ditentukan sebelumnya dan kembali ke keadaan aktif ketika tiap-tiap tegangan di terminal Superkapasitor jatuh di bawah tegangan kedua yang telah ditentukan sebelumnya.

Sistem menurut klaim yang lain, selanjutnya terdiri atas
25 sejumlah superkapasitor yang dihubungkan seri, rangkaian bypass tunggal yang dihubungkan secara paralel ke terminal semua superkapasitor tersebut. Sistem menurut klaim yang lain, yang selanjutnya terdiri atas sejumlah superkapasitor yang dihubungkan
30 secara paralel, rangkaian bypass tunggal yang dihubungkan secara paralel ke terminal semua superkapasitor tersebut.

Terlihat bahwa dalam klaim patent tersebut tidak secara eksplisit dan spesifik menjelaskan dan mengklaim suatu rangkaian elektronik yang bisa membuat tegangan pengisian di terminal
35 superkapasitor itu konstan khususnya pada hubungan seri beberapa



superkapasitor. Berdasarkan gambar blok diagram rangkaiannya tidak ada penjelasan menggunakan komponen FET dan mem-bypass kaki superkapasitor melalui komponen resistor. Kemudian dalam invensi yang diusulkan penekanannya pada balancing dengan teknik mengamankan tegangan yang tidak seimbang di setiap superkapasitor yang terhubung seri.

Ringkasan Invensi

Tujuan invensi ini adalah mempersembahkan/menyediakan sebuah rangkaian elektronika yang digunakan untuk mengatur dan menyeimbangkan tegangan pengisian pada saat berlangsungnya proses pengisian dan pengosongan pada hubungan seri beberapa supercapasitor. Hubungan seri dan kombinasi hubungan seri dan paralel dari beberapa supercapasitor dapat digunakan sebagai media penyimpanan energi listrik yang berasal dari cahaya matahari (menggunakan panel sel surya), angin menggunakan generator kincir angin, atau pembangkit listrik mikrohidro (tenaga air).

Energi listrik dari berbagai sumber tersebut selanjutnya dapat disimpan dalam media penyimpan energi listrik yang berupa hubungan kombinasi seri dan paralel dari beberapa superkapasitor. Invensi rangkaian elektronika pengatur dan penyeimbang tegangan pada saat proses pengisian hubungan seri beberapa superkapasitor ini dapat dipisah menjadi beberapa bagian, yaitu a) Superkapasitor yang dihubung seri, b) rangkaian elektronika penyeimbang tegangan (balancer) sebagai penyeimbang dan pengaman tegangan lebih selama proses pengisian hubungan seri beberapa superkapasitor.

Uraian Singkat Gambar

Gambar 1 adalah rangkaian seri 6 buah ultrakapasitor (101) masing-masing berkapasitas 500F/2,7V. Secara prinsip rangkaian seri ultra kapasitor 6 buah menjadi total dibulatkan 80F/16,2V (102). Satu-kesatuan rangkaian ultra kapasitor ini selanjutnya disebut super kapasitor.



Gambar 2 diberi nama sebagai rangkaian penyeimbang pengisian superkapasitor (102) yang kemudian disebut dengan rangkaian balancer. Rangkaian balancer terdiri atas satu buah FET (201), satu buah BJT (202) dan dua buah resistor (203). BJT (202) berfungsi sebagai deteksi ketidak-seimbangan tegangan pada dua kutub ultra kapasitor (204) yang saat aktif akan memicu FET (201) untuk aktif. Saat FET (201) aktif maka berfungsi sebagai saklar yang akan menghubungkan kedua kutub/polaritas ultra kapasitor melewati dua buah resistor parallel (203). Resistor disini berfungsi sebagai pengaman dari arus lebih saat pengisian.

Gambar 3 merupakan titik-titik pemasangan balancer (301) pada rangkaian seri ultra kapasitor (302) (sama dengan 101 pada Gambar 1) yang akan membentuk sebuah superkapasitor. Karena ada 6 buah ultra kapasitor maka perlu 6 buah rangkaian balancer (301) untuk masing-masing ultra kapasitor (302).

Gambar 4 merupakan grafik hasil pengisian super kapasitor dengan menggunakan sumber pembangkit panel surya. Panel surya yang digunakan 2 x 18V/0,5A dan dirangkai secara parallel sehingga mendapatkan total sumber pengisian 18V/1A.

Uraian Lengkap Invensi

Penyimpanan energi listrik dari panel surya banyak terdapat macamnya. Salah satu dalam perkembangan teknologi penyimpanan energi listrik adalah pemanfaatan ultra kapasitor (101) yang dirangkai secara seri-paralel untuk mendapatkan penyimpanan muatan yang besar. Akan tetapi, ultra kapasitor sangat rentan terhadap kelebihan tegangan yang berakibat fatal dapat bersifat merusak.

Penyimpanan muatan energi listrik menggunakan gabungan ultra kapasitor disebut sebagai super kapasitor (102). Pada invensi ini rangkaian ultra kapasitor (Gambar-1) menggunakan metode seri untuk mendapatkan tegangan yang sesuai kebutuhan yaitu $2.7VDC \times 6bh = 16.2VDC$. Dengan masing-masing tegangan maksimal yang diperbolehkan pada ultra kapasitor (101) adalah 2.7VDC.



Tegangan total untuk rangkaian seri 6 ultra kapasitor (101) sebesar 16.2VDC menjadikan tiap unit 101 beresiko kelebihan tegangan. Oleh karena itu dibutuhkan suatu rangkaian yang dapat mengatasi permasalahan kelebihan tegangan. Invensi ini mengusulkan
5 sebuah rangkaian elektronik yang dinamakan sebagai penyeimbang (balancer) super kapasitor (Gambar-2).

Secara satu kesatuan rangkaian balancer ini memiliki prinsip kerja yaitu menjaga agar setiap ultra kapasitor (204) mendapatkan tegangan maksimal yaitu 2.7VDC. Hal ini dikarenakan apabila
10 merujuk pada dasar prinsip kerja kapasitor apabila dirangkai seri dan diberi tegangan pada rangkaian tersebut bahwa setiap kapasitor memiliki kecepatan pengisian yang berbeda. Kecepatan pengisian yang berbeda berpotensi untuk terjadinya kelebihan tegangan pada salah satu ultra kapasitor dan akan menyebabkan kerusakan. Apabila
15 tegangan pada salah satu ultra kapasitor sudah terisi muatan listrik dengan besar tegangan 2.7V maka rangkaian balancer yang terpasang pada unit tersebut akan aktif atau bekerja. Saat balancer bekerja maka akan mengalirkan arus-tegangan lebihnya ke kapasitor lainnya. Dengan demikian ultra kapasitor akan aman dari kelebihan
20 muatan tegangan.

Apabila diuraikan tiap komponen penyusun, rangkaian balancer ini terdiri dari satu buah Transistor bertipe BJT (202), satu buah FET (201), dan dua buah resistor (203). Perhatikan Gambar-2. Kaki basis dan kolektor transistor (202) dihubungkan menjadi satu dan
25 terhubung ke kutub positifnya ultra kapasitor, sedangkan kaki emitornya dihubungkan ke Gate 201. Kaki Drain 201 terhubung ke kutub negatifnya ultra kapasitor, sedangkan kaki Source 201 terhubung ke resistor parallel. Komponen 203 satu kaki bagian lainnya terhubung ke kutub positif dari ultra kapasitor.

Fungsi dari masing-masing komponen dapat diuraikan sebagai berikut : 202 berfungsi untuk mendeteksi selisih tegangan yang terjadi dengan tegangan aktif 0,7VDC. Apabila 202 aktif maka akan memicu 201 yang akan aktif dan menjadikan Drain-Source terhubung dan akan menghubungkan kaki polaritas positif dan negatif untra
35 kapasitor melalui dua buah paralel resistor. 203 disini berfungsi



sebagai pengaman untuk unit 204 apabila terjadi kelebihan muatan maka akan memutus hubungan kutub positif dan negatifnya 204.

Selanjutnya apabila dilihat menyeluruh menjadi satu kesatuan super kapasitor (102), penyimpanan muatan ini memiliki prinsip pengosongan tegangan mendekati 1-3VDC. Sedangkan saat dilakukan pengisian akan menampilkan grafik pengisian naik sampai batas maksimal super kapasitor dapat menampung, yaitu sebesar 16,2VDC. Grafik pengisian superkapasitor dapat dilihat pada Gambar-3. Terlihat bahwa untuk mendapatkan tegangan penuh superkapasitor memerlukan waktu pengisian sekitar 55 menit saja.

15

20

25

30

35

**Klaim**

1. Suatu rangkaian elektronika pengatur dan penyeimbang
tegangan selama proses pengisian dan pengosongan energi listrik DC
5 pada hubungan beberapa ultrakapasitor (204), yang terdiri atas,
FET (201), BJT (202), dan resistor (203), dimana salah satu kaki
dari resistor (203) tersebut terhubung dengan kaki Drain FET (201)
tersebut, dan kaki lain dari resistor (203) tersebut terhubung
10 bersama dengan kaki kolektor dan basis dari transistor BJT (202)
serta dari kaki ultrakapasitor (204) polaritas positif, lebih
lanjut kaki emitor dari BJT (202) tersebut terhubung dengan kaki
Gate dari FET (201) tersebut, selanjutnya kaki Source dari FET
(201) tersebut terhubung ke kaki ultrakapasitor (204) polaritas
negatif.

15

2. Rangkaian elektronika seperti pada klaim 1, dimana
Resistor (203) tersebut berfungsi sebagai pengaman yang sekurang-
kurangnya terdiri atas 1 resistor yang bernilai 50 ohm.

20

3. Rangkaian elektronika seperti pada klaim 1, dimana
komponen FET (201) dan transistor (202) tersebut terhubung secara
darlington guna memberikan kepastian tegangan pada ultrakapasitor
(204) sebesar kapasitas tegangan maksimumnya ultrakapasitor.

25

30



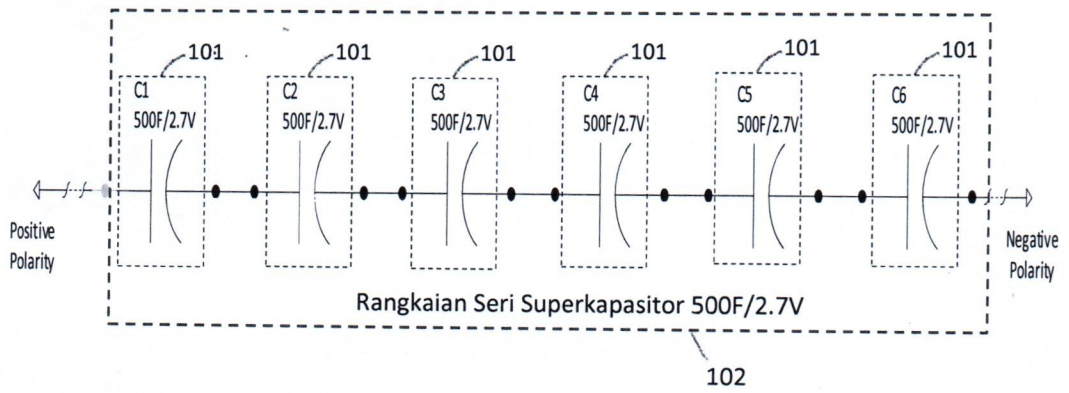
Abstrak

5 **RANGKAIAN ELEKTRONIKA PENGATUR DAN PENYEIMBANG TEGANGAN SELAMA
PROSES PENGISIAN DAN PENGOSONGAN ENERGI LISTRIK DC PADA HUBUNGAN
BEBERAPA ULTRAKAPASITOR**

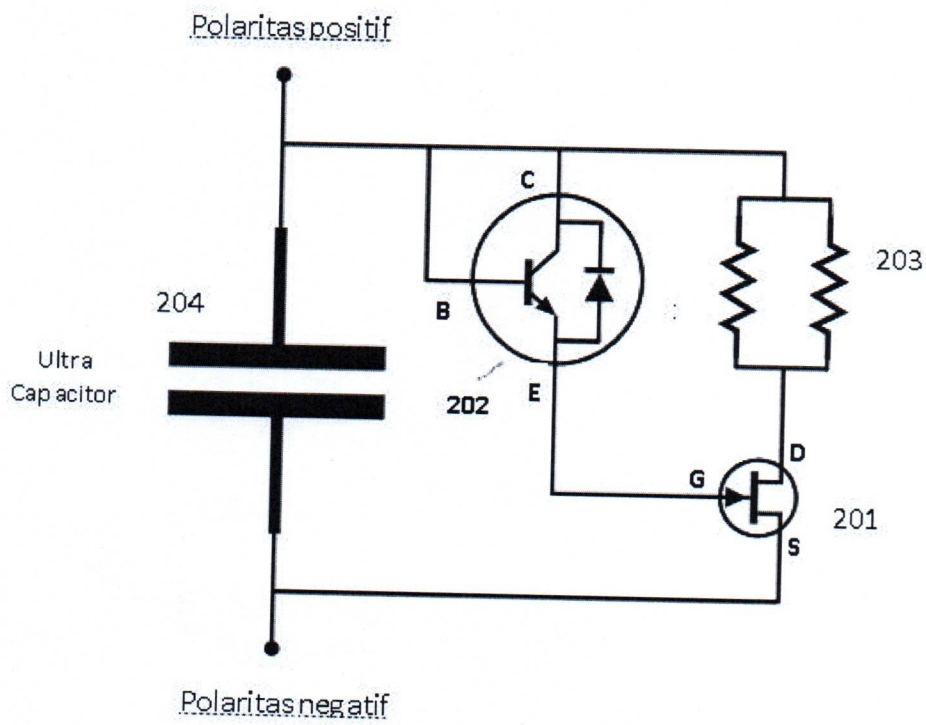
Kelemahan utama dari media penyimpan energi listrik jenis
baterai adalah durasi proses charging lama, usia fisik terbatas
10 dan kurang ramah lingkungan. Saat ini sedang dikembangkan media
penyimpan energi listrik menggunakan (super)kapasitor. Proses
charging kapasitor relatif lebih cepat dari baterai, tetapi proses
dischargingnya juga sangat cepat. Kelebihan lainnya adalah tidak
menggunakan proses kimia, perawatan lebih murah dan usia lebih
15 tahan lama.

Beberapa superkapasitor jika akan digunakan untuk membangun
sebuah media penyimpan energi listrik perlu dihubung seri untuk
menghasilkan kemampuan menyimpan tegangan yang lebih besar.
Kelemahan dari beberapa superkapasitor yang dihubung seri ini
20 adalah pada saat proses pengisian atau pengosongan energi listrik,
tegangan di setiap kapasitornya tidak sama (tidak seimbang). Hal
ini bisa merusak komponen superkapasitor itu sendiri.

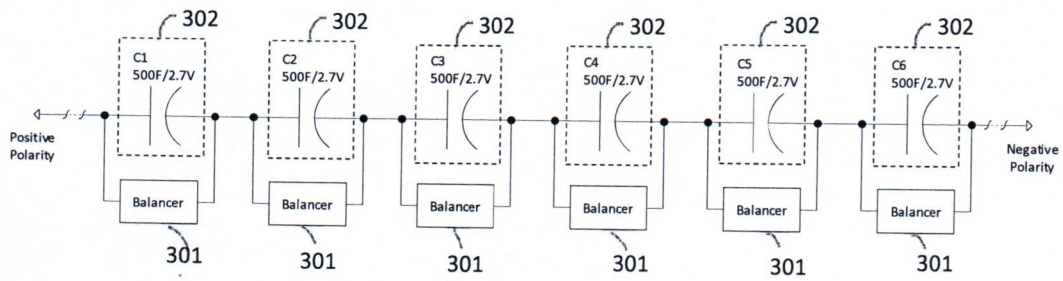
Invensi ini bertujuan untuk mempersembahkan sebuah rangkaian
elektronik yang dapat mengatur dan menjaga tegangan di setiap
25 superkapasitor dalam beberapa superkapasitor yang dihubung seri
tetap sama. Metode ini dapat direalisasi menggunakan dua buah
komponen aktif yaitu 202 sebuah transistor BJT bertipe NPN dan 201
sebuah *Field Effect Transistor* (FET) bertipe kanal N yang dinamai
dengan Rangkaian Balancer superkapasitor. Rangkaian balancer ini
30 juga dapat sebagai pengaman komponen supercapasitor yang dihubung
seri untuk membangun sebuah media penyimpan energi listrik DC.



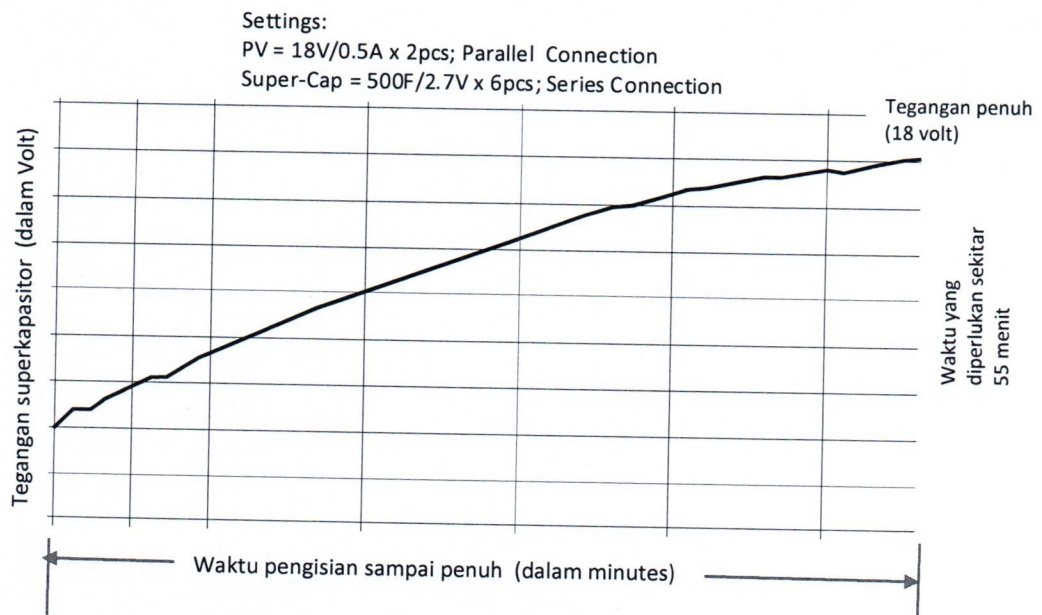
GAMBAR 1



GAMBAR 2 .



GAMBAR 3.



GAMBAR 4.